

# EXTENDED MEMORY ADDRESS CONTROL SYSTEM

Patent number: JP2242451  
 Publication date: 1990-09-26  
 Inventor: JITSUPOU AKIRA  
 Applicant: NIPPON ELECTRIC CO  
 Classification:  
 - international: G06F3/06; G06F12/06; G06F3/06; G06F12/06; (IPC1-7): G06F3/08; G06F12/00; G06F12/06; G06F12/10  
 - european: G06F3/06E; G06F12/06C  
 Application number: JP19890062264 19890316  
 Priority number(s): JP19890062264 19890316

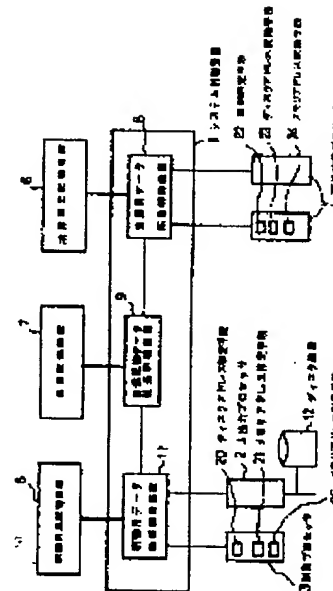
Also published as:

EP0387871 (A)  
 EP0387871 (A)  
 EP0387871 (B)

Report a data error h

## Abstract of JP2242451

**PURPOSE:** To improve access performance by designating specification whether an extended memory device is assumed as a continuous memory address space or as a virtual disk address space by the control of an operating system.  
**CONSTITUTION:** Address specification and an extended memory address are stored in a channel program by a disk address designation means 20 or a memory address designation means 21 corresponding to the format of the address of the extended memory device to be handled by the operating system. A fast arithmetic processor 4 receiving inter-processor communication reads out channel program information generated by a control processor 3 on a memory device 6 for computation. After that, it is decided whether the extended memory device 7 is assumed as a virtual disk or as a continuous memory space by a specification deciding means 22, and the extended memory address on the channel program is converted to a physical address by using a disk address conversion means 23 or a memory address conversion means 24 replying to a decided result. In such a way, the access performance can be improved.



BEST AVAILABLE COPY

## ⑫ 公開特許公報(A)

平2-242451

⑯ Int.Cl.<sup>5</sup>G 06 F 12/06  
3/08  
12/00  
12/10

識別記号

3 0 1 E  
E  
3 0 1 H  
Z

庁内整理番号

8841-5B  
6711-5B  
8944-5B  
7010-5B

⑰ 公開 平成2年(1990)9月26日

審査請求 未請求 請求項の数 2 (全8頁)

⑱ 発明の名称 拡張記憶アドレス制御方式

⑲ 特 願 平1-62264

⑳ 出 願 平1(1989)3月16日

㉑ 発 明 者 実 宝 昭 東京都港区芝5丁目33番1号 日本電気株式会社内  
 ㉒ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号  
 ㉓ 代 理 人 弁理士 芦 田 坦 外2名

## 明 細 書

## 1. 発明の名称

拡張記憶アドレス制御方式

## 2. 特許請求の範囲

1. 拡張記憶装置と主記憶装置とのデータ転送を行なう情報処理装置において、

前記拡張記憶装置を仮想ディスクとみせかけるディスクアドレス指定手段と、

該ディスクアドレス指定手段により指示される仮想ディスクアドレスを前記拡張記憶装置の第1の物理アドレスに変換するディスクアドレス変換手段と、

前記拡張記憶装置を連続メモリ空間とみせるメモリアドレス指定手段と、

該メモリアドレス指定手段により指定されるメモリアドレスを前記拡張記憶装置の第2の物理アドレスに変更するメモリアドレス変換手段と、

前記拡張記憶装置を仮想ディスクとみせか

けるか連続メモリ空間とみせかけるかを判定する種別判定手段と、

該種別判定手段により指示された内容に従い、前記第1及び第2の物理アドレスのどちらか一方の物理アドレスを用いて前記拡張記憶装置にアクセスするアクセス制御手段と

を備えたことを特徴とする拡張記憶アドレス制御方式。

2. スーパーバイザー機能を持ち、入出力の制御、ユーザープログラムのコンパイラ、リンクを実現する制御プロセッサと、該制御プロセッサを制御する制御プログラムが格納される第1の主記憶装置と、前記ユーザープログラムのロードモジュールやデータが格納される第2の主記憶装置と、前記ユーザープログラムを実行する高速演算プロセッサと、入出力高速化のための拡張記憶装置と、これら装置を制御するシステム制御装置とを含む情報処理装置において、

前記拡張記憶装置を仮想ディスクとみせかけるディスクアドレス指定手段と、

該ディスクアドレス指定手段により指示される仮想ディスクアドレスを前記拡張記憶装置の第1の物理アドレスに変換するディスクアドレス変換手段と、

前記拡張記憶装置を連続メモリ空間とみせるメモリアドレス指定手段と、

該メモリアドレス指定手段により指定されるメモリアドレスを前記拡張記憶装置の第2の物理アドレスに変更するメモリアドレス変換手段と、

前記拡張記憶装置を仮想ディスクとみせかけるか連続メモリ空間としてみせかけるかを判定する種別判定手段と、

該種別判定手段により指示された内容に従い、前記第1及び第2の物理アドレスのどちらか一方の物理アドレスを用いて前記拡張記憶装置にアクセスするアクセス手段とを備え、

前記制御プロセッサにより実行される前記第1の主記憶装置と前記拡張記憶装置とのデータ転送は、前記メモリアドレス指定手段のみによりアドレスを制御することにより行ない、前記高速演算

プロセッサにより実行される前記第2の主記憶装置と前記拡張記憶装置とのデータ転送は、前記ディスクアドレス指定手段と前記メモリアドレス指定手段によりアドレスを制御することにより行なうことを特徴とする拡張記憶アドレス制御方式。

### 3. 発明の詳細な説明

#### 〔産業上の利用分野〕

本発明は、拡張記憶装置のアドレス制御方式に関する。

#### 〔従来の技術〕

スーパーコンピュータは、汎用計算機と比べ、桁違いに高速な演算処理能力を持っており、科学・技術の領域で色々な研究や技術開発のため、自然現象を表現する種々の方程式を、たくさんのデータを使って高速に解くことが可能である。

例えば、自動車メーカーにおける車体の衝突実験をスーパーコンピュータを使ってシミュレーションすることができれば、実験に使われる車を削減できる。また、航空機メーカーでは、従来風洞

- 3 -

を使って実験していた翼のまわりにできる空気の渦の解析に、スーパーコンピュータが使われている。

このような大規模科学技術計算を実施するスーパーコンピュータでは、対象とする問題の規模も大きくなり、必要とするデータは巨大なものになる。

従って、多くのデータは、磁気ディスク装置などの二次記憶におくことになり、必要に応じて、磁気ディスクと主記憶装置との間でデータを入出力しながら計算を進めることになる。従って、二次記憶と主記憶装置との間の入出力時間が、プログラム全体の性能に大きく影響することになる。スーパーコンピュータでは入出力高速化のために拡張記憶装置を設けている。

従来、この種のスーパーコンピュータは、システム制御装置と、それに接続される入出力プロセッサと、制御プロセッサと、高速演算プロセッサと、第1の主記憶装置と、第2の主記憶装置と、拡張記憶装置とから構成されている。

- 4 -

制御プロセッサは、スーパーバイザー機能を持ち、入出力の制御、ユーザープログラムのコンパイル、リンクを実現している。第1の主記憶装置には、制御プロセッサを制御する制御プログラムが格納されている。

第2の主記憶装置には、ユーザープログラムのロードモジュールやデータが格納され、高速演算プロセッサは、ユーザープログラムを実行している。

入出力プロセッサは、磁気ディスクなどの周辺装置と第1の主記憶装置とのデータ転送を制御している。

入出力プロセッサ、制御プロセッサ及び高速演算プロセッサは各々独立に動作可能で、システムのスループットを高めている。

拡張記憶装置と第2の主記憶装置とのデータ転送は、高速演算プロセッサ上の命令で制御されている。

拡張記憶装置と第1の主記憶装置とのデータ転送は制御プロセッサ上の命令で制御されている。

- 5 -

- 6 -

従来、この種の情報処理装置においては、拡張記憶装置をユーザーには仮想ディスクとみせることで入出力の高速化を図ってきた。

しかしながら、データベースアクセスの高速化のためにバッファサイズを拡張してヒット率を向上させ、入出力の回数を削減するため、主記憶装置上では、その大きさに限界があるため、拡張記憶装置上で大きなサイズのバッファを設定する必要がある。

この場合、仮想ディスクのようにみせかけていると、アドレス空間が不連続なため、大きなサイズのバッファをとりたい時などにアドレス空間上の管理のオーバーヘッドが大きくなり、オペレーティングシステムのいたるところでアクセス毎にアドレス管理モジュールをコールする必要がある、性能が低下する要因になっていた。

[発明が解決しようとする課題]

上述した従来のスーパーコンピュータでは、拡張記憶装置のアドレスを仮想ディスクとみせかけられているため、オペレーティングシステム上連続ア

ドレス空間とみなせず、データベースの高速化のため、拡張記憶装置上に大きな連続アドレスのバッファを準備する場合や、拡張記憶装置をページングバッキングストア、スワッピングバッキングストアまたはそれらのキャッシュとして利用してシステムの性能向上とTSSの応答時間の改善を図りたい場合や、ディスク上のファイルを論理空間にマッピングして、ファイルを送信命令でアクセスする時に、論理空間を多量に使うためバッキングストア入出力が多発するので、拡張記憶装置を性能向上のためバッキングストアとして使う場合など、アドレス空間上の管理のオーバーヘッドが大きくなり、拡張記憶装置へのアクセスが増加すればするほどアクセス性能を低下させる欠点があった。

[課題を解決するための手段]

本発明によれば、拡張記憶装置と主記憶装置とのデータ転送を行なう情報処理装置において、前記拡張記憶装置を仮想ディスクとみせかけるディスクアドレス指定手段と、該ディスクアドレス指

- 7 -

定手段により指示される仮想ディスクアドレスを前記拡張記憶装置の第1の物理アドレスに変換するディスクアドレス変換手段と、前記拡張記憶装置を連続メモリ空間とみせるメモリアドレス指定手段と、該メモリアドレス指定手段により指定されるメモリアドレスを前記拡張記憶装置の第2の物理アドレスに変更するメモリアドレス変換手段と、前記拡張記憶装置を仮想ディスクとみせかけるか連続メモリ空間としてみせかけるかを判定する種別判定手段と、該種別判定手段により指示された内容に従い、前記第1及び第2の物理アドレスのどちらか一方の物理アドレスを用いて前記拡張記憶装置にアクセスするアクセス制御手段とを備えたことを特徴とする拡張記憶アドレス制御方式が得られる。

又、本発明によれば、スーパーバイザー機能を持ち、入出力の制御、ユーザープログラムのコンパイラ、リンクを実現する制御をプロセッサと、該制御プロセッサを制御する制御プログラムが格納される第1の主記憶装置と、前記ユーザープロ

- 8 -

グラムのロードモジュールやデータが格納される第2の主記憶装置と、前記ユーザープログラムを実行する高速演算プロセッサと、入出力高速化のための拡張記憶装置と、これら装置を制御するシステム制御装置とを含む情報処理装置において、前記拡張記憶装置を仮想ディスクとみせかけるディスクアドレス指定手段と、該ディスクアドレス指定手段により指示される仮想ディスクアドレスを前記拡張記憶装置の第1の物理アドレスに変換するディスクアドレス変換手段と、前記拡張記憶装置を連続メモリ空間とみせるメモリアドレス指定手段と、該メモリアドレス指定手段により指定されるメモリアドレスを前記拡張記憶装置の第2の物理アドレスに変更するメモリアドレス変換手段と、前記拡張記憶装置を仮想ディスクとみせかけるか連続メモリ空間としてみせかけるかを判定する種別判定手段と、該種別判定手段により指示された内容に従い、前記第1及び第2の物理アドレスのどちらか一方の物理アドレスを用いて前記拡張記憶装置にアクセスするアクセス手段とを備

- 9 -

- 369 -

- 10 -

え、前記制御プロセッサにより実行される前記第1の主記憶装置と前記拡張記憶装置とのデータ転送は、前記メモリアドレス指定手段のみによりアドレスを制御することにより行ない、前記高速演算プロセッサにより実行される前記第2の主記憶装置と前記拡張記憶装置とのデータ転送は、前記ディスクアドレス指定手段と前記メモリアドレス指定手段によりアドレスを制御することにより行なうことを特徴とする拡張記憶アドレス制御方式が得られる。

#### 〔実施例〕

次に本発明について図面を参照して説明する。

第1図を参照すると、本発明の一実施例による拡張記憶アドレス制御方式が適用される情報処理装置は、システム制御装置1と、それに接続されるシステムの入出力を制御する入出力プロセッサ2と、プログラムのコンパイル及びリンク、及びスーパーバイザー機能を有する制御プロセッサ3と、ベクトル計算主体のユーザープログラムを高速に実行する高速演算プロセッサ4と、制御プ

ロセッサ3用のメモリで、オペレーティングシステム機能の大部分が動作する制御用主記憶装置5と、ベクトル計算主体のユーザープログラムのベクトルデータや高速演算プロセッサ4で実行されるユーザープログラムを格納した高速演算プロセッサ4用の大容量高速の演算用主記憶装置6と、拡張記憶装置7とを有する。

システム制御装置1は、制御プロセッサ3や入出力プロセッサ2などを含む第1のプロセッサ群に含まれるプロセッサからの、拡張記憶装置7と演算用主記憶装置6とのデータ転送要求及び高速演算プロセッサ4上に実行されるユーザープログラムのモニターコール要求に従い、高速演算プロセッサ4上の命令により拡張記憶装置7と演算用主記憶装置6とのデータ転送を制御すると共に、第1のプロセッサ群に含まれるプロセッサから出される拡張記憶装置7と制御用主記憶装置5とのデータ転送要求に従い拡張記憶装置7と制御用主記憶装置5とのデータ転送を制御する拡張記憶データ転送制御装置9を含む。

— 1 1 —

制御プロセッサ3は、拡張記憶装置7を仮想ディスクとみせかけるディスクアドレス指定手段20と、拡張記憶装置7を連続メモリ空間とみせかけるメモリアドレス指定手段21と、メモリアドレス指定手段21により指定されるメモリアドレスを拡張記憶装置7の物理アドレスに変更するメモリアドレス変換手段25とを有する。

高速演算プロセッサ4は、ディスクアドレス指定手段20により指示される仮想ディスクアドレスを拡張記憶装置7の物理アドレスに変換するディスクアドレス変換手段23と、メモリアドレス指定手段21により指定されるメモリアドレスを拡張記憶装置7の物理アドレスに変更するメモリアドレス変換手段24と、拡張記憶装置7を仮想ディスクとしてみせかけるか連続メモリ空間としてみせかけるかを判定する種別判定手段22とを有する。

制御プロセッサ3は、ジョブの入力や出力編集処理、ファイル処理、入出力プロセッサ2などのリソース管理、ジョブのスケジューリングやユー

— 1 2 —

ザープログラムのコンパイラ、リンクなどのスーパーバイザー機能を有する。

高速演算プロセッサ4は、ユーザープログラムのベクトル命令やスカラー命令を高速に実行できる機能を持ち、特にベクトル計算を高速に実行するための多重並列パイプライン方式を採用している。演算パイプラインに連続的にデータを供給するため、高速演算プロセッサ4と演算用主記憶装置6との間のスループットが高くなるように、演算用データ転送制御装置8により制御されている。

拡張記憶装置7と演算用主記憶装置6との間のデータ転送は、高速演算プロセッサ4上の命令で制御されるため、拡張記憶装置7と演算用主記憶装置6との間で転送を実行している間は、高速演算プロセッサ4上で実行されているユーザープログラムのベクトル命令やスカラー命令の高速実行処理は中断されてしまう。

次に第2図を用いて、拡張記憶装置7と演算用主記憶装置6とのデータ転送について説明する。

制御プロセッサ3により拡張記憶装置7と演算

— 1 3 —

—370—

— 1 4 —

用主記憶装置6との転送命令が実行されると、演算用主記憶装置6上に、第3図に示されるようなチャンネルプログラムCPが作成される。

この時、オペレーティングシステムが扱おうとしている拡張記憶装置7のアドレスの形式に応じて、ディスクアドレス指定手段20もしくは、メモリアドレス指定手段21により、チャンネルプログラムCP上にアドレス種別及び拡張記憶アドレスが格納される。

その他、チャンネルプログラムCP上には、演算用主記憶アドレスや転送長などの制御情報も含まれる。

この転送命令は、制御プロセッサ3上は、非同期命令として実行され、例えば、あるプロセス中に転送命令がn個含まれているとすると、第3図のように、各々の命令に対応したチャンネルプログラムがn個(CP<sub>1</sub>, ..., CP<sub>n</sub>)作成される。制御プロセッサ3は、全チャンネルプログラム作成後、高速演算プロセッサ4に対してプロセッサ間通信を行なう。

- 15 -

データ転送が終了するとその旨が高速演算プロセッサ4に対して、拡張記憶データ転送制御装置9から割り込みにより報告される。

データ転送の終了報告を受けた高速演算プロセッサ4は、ステータスをリードして、データ転送の正常/異常を判定し、制御プロセッサ3にプロセッサ間通信で報告する。

一般的に、システム構成上、ハードウェア量/性能に応じ、メモリアドレス変換手段、ディスクアドレス変換手段、及び種別判定手段をシステム制御装置1内に設置してもよい。

次に、第4図を用いて、拡張記憶装置7と制御用主記憶装置5とのデータ転送について説明する。

拡張記憶装置7と制御用主記憶装置5とのデータ転送は、連続メモリアドレスによるアドレス形式のみオペレーティングシステムにより取扱われる。

従って、本命令実施時、制御プロセッサ3は、メモリアドレス変換手段25を用いて、まず、指定された拡張記憶装置7のアドレスを物理アドレ

スに変換する。プロセッサ間通信をうけた高速演算プロセッサ4は、演算用主記憶装置6上に制御プロセッサ3により作成されたチャンネルプログラム情報を読み出す。その後、種別判定手段22により、拡張記憶装置7を仮想ディスクとみせかけるか連続メモリ空間としてみせかけるかを判定して、その結果に応じてディスクアドレス変換手段23もしくはメモリアドレス変換手段24を用いてチャンネルプログラム上の拡張記憶アドレスを、物理アドレスに変換する。

次に、高速演算プロセッサ4は、拡張記憶データ転送命令を実行し、拡張記憶データ転送制御装置9に対して、コマンドの種別、拡張記憶装置7の変換後の物理アドレス、演算用主記憶装置6の先頭アドレスなどの制御情報を送出し、演算用主記憶装置6と拡張記憶装置7とのデータ転送を起動する。

拡張記憶データ転送制御装置9は、演算用主記憶装置6からデータを順次読みとり、拡張記憶装置7へ転送する。

- 16 -

スに変換する。

次に、制御プロセッサ3は、拡張記憶データ転送制御装置9に対して、制御用主記憶装置5の先頭アドレス、拡張記憶装置7の先頭アドレス、コマンド、データ転送量などを送出し、データ転送を起動する。

データ転送が終了すると、その旨が制御プロセッサ3に対して、拡張記憶データ転送制御装置9から報告され、制御プロセッサ3は、ステータスをリードして、データ転送の正常/異常を判定する。

〔発明の効果〕

以上説明したように本発明は、拡張記憶装置を連続メモリアドレス空間にみせるか仮想ディスクアドレス空間にみせるかの種別をオペレーティングシステムの制御により指定することにより、必要に応じ、アドレス空間上の管理のオーバーヘッドを小さくして、アクセス性能を向上させる効果がある。

又、従来、ユーザーのプログラムにおいては、

- 17 -

- 371 -

- 18 -

拡張記憶装置のアドレスは仮想ディスクアドレスで扱われているが、本発明では、このようなプログラムに対しても、ユーザー側は意識することなく、プログラムを変更することなく、オペレーティングシステムの制御によりそのまま実行可能である。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例による拡張記憶アドレス制御方式が適用される情報処理装置の構成を示すブロック図、第2図は本発明による拡張記憶装置と演算用主記憶装置とのデータ転送時の動作を説明するためのタイムチャート、第3図は演算用主記憶装置上に作成されるチャンネルプログラムの一例を示す図、第4図は本発明による拡張記憶装置と制御用主記憶装置とのデータ転送時の動作を説明するためのタイムチャートである。

1…システム制御装置、2…入出力プロセッサ、3…制御プロセッサ、4…高速演算プロセッサ、5…制御用主記憶装置、6…演算用主記憶装置、

7…拡張記憶装置、8…演算用データ転送制御装置、9…拡張記憶データ転送制御装置、11…制御用データ転送制御装置、12…ディスク装置、20…ディスクアドレス指定手段、21…メモリアドレス指定手段、22…種別判定手段、23…ディスクアドレス変換手段、24、25…メモリアドレス変換手段。

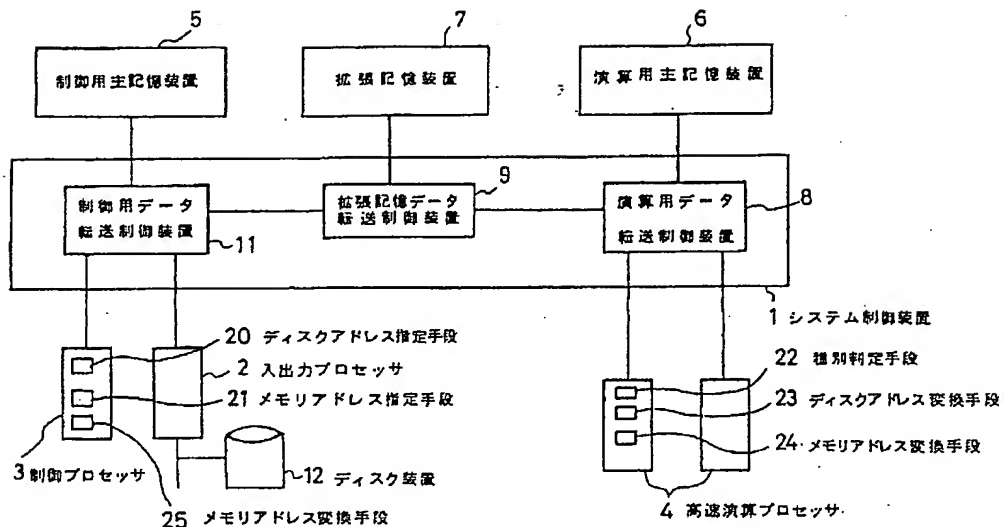
代理人 (7783) 弁理士 池田 憲保



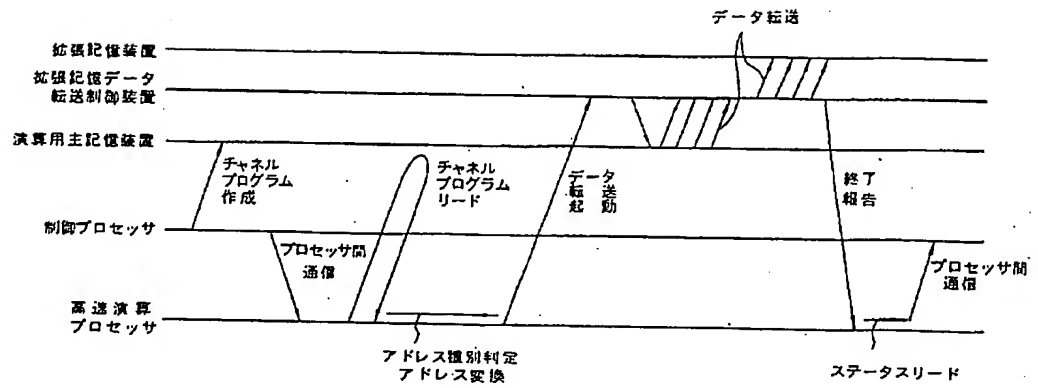
— 19 —

— 20 —

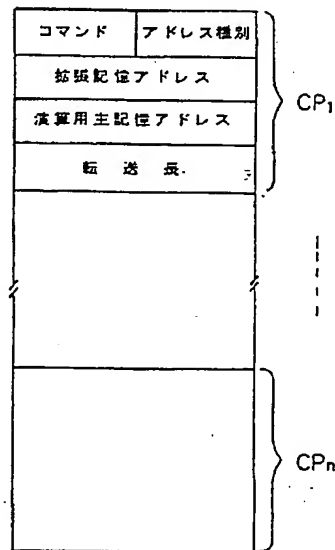
第1図



第 2 図

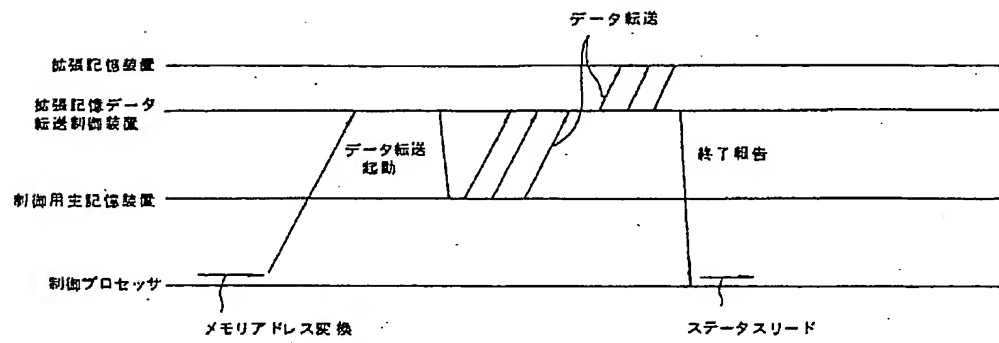


第 3 図





第 4 図



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☐ FADED TEXT OR DRAWING

☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**